



PATENT
Docket No. 20067/OPP031479US

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): Tae-Hee PARK

Serial No.: 10/749,650

Filed: December 30, 2003

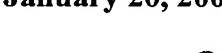
For: "Methods of Forming Metal Lines in Semiconductor Devices"

Group Art Unit: Unknown

Examiner: Not Yet Assigned

I hereby certify that the documents referred to as enclosed herewith are being deposited with the United States Postal Service, first class postage prepaid, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450 on this date:

January 20, 2004


Mark C. Zimmerman
Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No. 10-2003-0006407 filed January 30, 2003, the priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:

Mark C. Zimmerman
Registration No.: 44,006

January 20, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0006407
Application Number

출원년월일 : 2003년 01월 30일
Date of Application JAN 30, 2003

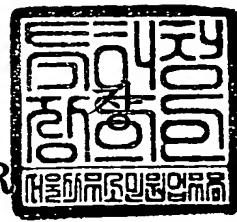
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 11 월 10 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2003.01.30		
【발명의 명칭】	반도체 소자의 금속 배선 형성 방법		
【발명의 영문명칭】	FORMATION METHOD OF METAL LINE IN SEMICONDUCTOR DEVICE		
【출원인】			
【명칭】	아남반도체 주식회사		
【출원인코드】	1-1998-002671-9		
【대리인】			
【명칭】	유미특허법인		
【대리인코드】	9-2001-100003-6		
【지정된변리사】	오원석		
【포괄위임등록번호】	2001-041985-8		
【발명자】			
【성명의 국문표기】	박태희		
【성명의 영문표기】	PARK, TAE HEE		
【주민등록번호】	700704-1100715		
【우편번호】	420-020		
【주소】	경기도 부천시 원미구 중동 1028번지		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 유미특허법인 (인)		
【수수료】			
【기본출원료】	13	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	7	항	333,000 원
【합계】	362,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

금속 배선에 부식이 일어나지 않도록 하여 반도체 소자의 배선 결함을 방지하는 반도체 소자의 금속 배선 형성 방법에 관한 것으로서, 반도체 기판 상에 하부 접착층을 형성하는 단계와; 하부 접착층 위에 알루미늄을 증착하여 금속층을 형성하는 단계와; 금속층 위에 포토레지스트를 도포하고 노광 및 현상하여 식각될 부위를 노출시키는 식각 베리어를 형성하는 단계와; C_3F_8 와 NF_3 가스를 주식각 가스로 사용하여 식각 베리어로 보호되지 않은 부위의 금속층과 하부 접착층을 식각하는 단계와; 금속층 위에 잔류한 식각 베리어를 제거하는 단계를 포함하는 반도체 소자의 금속 배선 형성 방법을 제공한다.

【대표도】

도 1a

【색인어】

반도체, 금속배선, 상부접착층, 하부접착층, 식각가스, C_3F_8 , NF_3

【명세서】**【발명의 명칭】**

반도체 소자의 금속 배선 형성 방법 {FORMATION METHOD OF METAL LINE IN SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a~도 1e는 본 발명에 의한 반도체 소자의 금속 배선 형성 공정을 도시한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<2> 본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것으로서, 보다 상세하게는 식각 베리어와 식각 가스를 이용해 금속층을 건식 식각하여 금속 배선을 형성하는 금속 배선 형성 방법에 관한 것이다.

<3> 반도체 장치에서 소자간 전기적 연결을 위해 사용되는 금속 배선은, 주로 알루미늄을 증착하여 금속층을 형성하고, 금속층 위에 포토레지스트를 패터닝한 식각 베리어를 형성한 다음, 식각 가스를 이용해 식각 베리어로 보호되지 않은 부위의 금속층을 건식 식각하는 과정을 통해 목적하는 배선 패턴으로 완성된다.

<4> 현재 금속층을 식각하는 공정에서는 Cl_2 나 BCl_3 와 같은 반응성 가스를 사용하여 식각을 진행하고 있다.

<5> 그러나 전술한 반응성 가스를 사용하는 경우, 금속층 식각 후 식각 베리어를 바로 제거하지 않으면 금속 배선이 부식되는 문제가 발생하게 된다. 이는 금속층을 구성하는 알루미늄이 Cl_2 와의 반응을 통해 $AlCl_3$ 형태의 화합물로 변하게 되는데, 이 화합물이 대기중에 바로 노출되면 대기중의 수분기(H_2O)와 반응하여 부식을 일으키기 때문이다.

<6> 따라서 진공 상태에서 금속층을 식각한 직후 식각 베리어를 제거하는 것이 일반적이며, 식각 베리어를 제거할 때에는 웨이퍼 전면에 흡착된 염소 성분을 제거하기 위해 250°C 정도의 고온에서 수증기와 산소 플라즈마 애쉬 방법을 이용하고 있다.

<7> 그러나 전술한 방법이 금속 배선의 부식을 막을 수 있는 최선의 방법은 아니며, 제조 장비상의 문제 등으로 인해 금속층을 식각한 직후 바로 대기중에 공정 웨이퍼를 인출해야 하는 경우가 있다. 이 때에는 식각 베리어가 즉시 제거되지 않음으로 인해 금속 배선에 부식이 발생하게 된다.

<8> 그 결과, 목적하는 배선 패턴의 금속 배선을 형성하기 어렵게 되고, 반도체 소자의 배선 결함을 유발하여 반도체 소자가 오동작을 일으키는 주 원인으로 작용한다.

【발명이 이루고자 하는 기술적 과제】

<9> 따라서 본 발명은 상기한 문제점을 해소하기 위한 것으로서, 본 발명의 목적은 금속 배선에 부식이 일어나지 않도록 하여 반도체 소자의 배선 결함을 방지하고, 금속층을 식각한 다음 식각 베리어를 즉시 제거하지 않아도 되는 반도체 소자의 금속 배선 형성 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<10> 상기의 목적을 달성하기 위하여 본 발명은,

<11> 반도체 기판 상에 하부 접착층을 형성하는 단계와, 하부 접착층 위에 알루미늄을 증착하여 금속층을 형성하는 단계와, 금속층 위에 포토레지스트를 도포하고 노광 및 현상하여 식각될 부위를 노출시키는 식각 베리어를 형성하는 단계와, C_3F_8 와 NF_3 가스를 주식각 가스로 사용하여 식각 베리어로 보호되지 않은 부위의 금속층과 하부 접착층을 식각하는 단계와, 금속층 위에 잔류한 식각 베리어를 제거하는 단계를 포함하는 반도체 소자의 금속 배선 형성 방법을 제공한다.

<12> 금속층을 형성할 때에는 알루미늄을 4000~6000Å 두께로 증착한다.

<13> 바람직하게, 금속층 상에 상부 접착층을 형성하고, 상부 접착층 위에 상기 식각 베리어를 형성하며, 식각 베리어로 보호되지 않은 부위의 상부 접착층과 금속층 및 하부 접착층을 식각한다.

<14> 상부 접착층과 금속층 및 하부 접착층을 식각할 때에는, C_3F_8 1~200sccm, BCl_3 1~100sccm, Ar 1~100sccm 조건에서 상부 접착층을 식각하는 초기 식각 단계와, C_3F_8 1~200sccm, NF_3 1~100sccm, N_2 1~100sccm 조건에서 금속층을 식각하는 메인 식각 단계와, C_3F_8 1~200sccm, NF_3 1~100sccm, N_2 1~100sccm 조건에서 하부 접착층을 식각하는 과식각 단계를 거쳐 진행한다.

<15> 이하, 첨부한 도면을 참고하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하면 다음과 같다.

<16> 도 1a~도 1e는 본 발명에 의한 반도체 소자의 금속 배선 형성 공정을 도시한 단면도이다.

<17> 먼저, 도 1a에 도시한 바와 같이 반도체 기판(1) 상에 임의의 소자 또는 하부 배선 등으로 이루어진 하지층(미도시)을 형성하고, 하지층 위에 충간 절연막(미도시)을 형성하여 하지층과 이후 형성할 금속 배선과의 충간 절연을 도모한다. 그리고 충간 절연막 위에 하부 접착층(2)과, 금속 배선의 주 재료인 금속층(3) 및 상부 접착층(4)을 차례로 형성한다.

<18> 하부 접착층(2)과 상부 접착층(4)은 반도체 기판(1)에 대한 금속층(3)의 접착력을 높이고, 이물질이 금속층(3)에 침투하는 것을 방지하기 위해 선택적으로 증착하는 막으로서, 상, 하부 접착층(4, 2)은 Ti 또는 TiN으로 이루어지고, 스퍼터링 등의 방법을 이용해 소정 두께로 형성한다.

<19> 그리고 금속층(3)은 알루미늄을 스퍼터링 등의 방법을 이용해 하부 접착층(2)보다 큰 두께로 형성하며, 바람직하게 4000~6000Å 정도의 두께로 증착한다.

<20> 이어서 상부 접착층(4) 위에 포토레지스트를 도포한 다음, 노광 마스크(미도시)를 이용한 노광 및 현상을 실시하여 식각될 부위를 노출시키는 소정 패턴의 식각 베리어(5)를 형성한다.

<21> 다음으로, 도 1b에 도시한 바와 같이 C_3F_8 , BCl_3 및 Ar을 식각 가스로 사용하는 초기 식각 공정을 진행한다. 이로서 식각 베리어(5)로 보호되지 않은 부위의 상부 접착층(4)을 건식 식각하여 금속층(3)의 표면을 노출시킨다.

<22> 초기 식각을 진행하기 위한 공정 조건은 압력 12mT, 소스 파워 1200W, 바이어스 파워 130W, C_3F_8 1~200sccm, BCl_3 1~100sccm, Ar 1~100sccm으로 설정하며, 바람직하게 C_3F_8 60sccm, BCl_3 50sccm, Ar 30sccm으로 설정한다. 이러한 초기 식각 공정에서 Ti 또는 TiN의 식각률은 3000~4000Å/min이고, 알루미늄의 식각률은 3001~4000Å/min으로 이루어진다.

<23> 이어서, 도 1c에 도시한 바와 같이 C_3F_8 , NF_3 및 N_2 를 식각 가스로 사용하는 메인 식각 공정을 진행한다. 이로서 식각 베리어(5)로 보호되지 않은 부위의 금속층(3)을 건식 식각하여 하부 접착층(2)의 표면을 노출시킨다.

<24> 메인 식각을 진행하기 위한 공정 조건은 압력 12mT, 소스 파워 1000W, 바이어스 파워 100W, C_3F_8 1~200sccm, NF_3 1~100sccm, N_2 1~100sccm으로 설정하며, 바람직하게 C_3F_8 90sccm, NF_3 50sccm, N_2 10sccm으로 설정한다. 이러한 메인 식각 공정에서 Ti 또는 TiN의 식각률은 5000~6500 Å/min이고, 알루미늄의 식각률은 6000~7000 Å/min으로 이루어진다.

<25> 그리고 도 1d에 도시한 바와 같이 C_3F_8 , NF_3 및 N_2 를 식각 가스로 사용하는 과식각 공정을 진행한다. 이로서 식각 베리어(5)로 보호되지 않은 부위의 하부 접착층(2)을 건식 식각하여 잔류한 금속층(3) 하부에만 하부 접착층(2)을 잔류시킨다.

<26> 과식각을 진행하기 위한 공정 조건은 압력 12mT, 소스 파워 1000W, 바이어스 파워 80W, C_3F_8 1~200sccm, NF_3 1~100sccm, N_2 1~100sccm으로 설정하며, 바람직하게 C_3F_8 80sccm, NF_3 50sccm, N_2 5sccm으로 설정한다. 이러한 과식각 공정에서 Ti 또는 TiN의 식각률은 4000~5000 Å/min이고, 알루미늄의 식각률은 5500~6500 Å/min으로 이루어진다.

<27> 이와 같이 본 발명에서는 초기 식각 공정과 메인 식각 공정 및 과식각 공정을 진행할 때에, 금속층(3)을 구성하는 알루미늄과 직접적으로 반응하지 않는 카본, 플루오르 계열의 C_3F_8 가스를 주식각 가스로 사용하며, N_2 가스를 폴리머 생성용으로 소량 첨가한다.

<28> 전술한 C_3F_8 가스와 NF_3 가스는 알루미늄과 직접적으로 반응하지 않음에 따라 금속층(3)의 부식을 일으킬 염려가 거의 없으며, C_3F_8 은 일반적으로 널리 사용되는 CF_4 가스보다 식각률 면에서 우수한 특성을 나타내어 금속 배선 형성에 보다 유리한 점이 있다.

<29> 마지막으로 상부 접착층(4) 위에 잔류한 식각 베리어(5)를 제거하여 도 1e에 도시한 금 속 배선(6)을 완성한다. 이 때, 본 발명에서는 전술한 C_3F_8 가스와 NF_3 가스를 주식각 가스로 사용함에 따라, 금속층(3) 식각후 식각 베리어(5)를 즉시 제거하지 않아도 금속 배선(6) 품질에 영향을 미치지 않는다.

<30> 상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

【발명의 효과】

<31> 이와 같이 본 발명에 따르면, 금속 배선에 부식이 일어나는 문제를 해소하여 반도체 소자의 오작동을 방지하고, 반도체 소자의 수율을 크게 향상시킨다. 또한 본 발명에 따르면 금속 층을 식각한 다음 식각 베리어를 즉시 제거하지 않아도 무방하므로 공정 조건에 미치는 제약을 감소시킬 수 있다.



1020030006407

출력 일자: 2003/11/13

【특허청구범위】

【청구항 1】

반도체 기판 상에 하부 접착층을 형성하는 단계;

상기 하부 접착층 위에 알루미늄을 증착하여 금속층을 형성하는 단계;

상기 금속층 위에 포토레지스트를 도포하고 노광 및 현상하여 식각될 부위를 노출시키는
식각 베리어를 형성하는 단계;

C_3F_8 와 NF_3 가스를 주식각 가스로 사용하여 상기 식각 베리어로 보호되지 않은 부위의
금속층과 하부 접착층을 식각하는 단계; 및

상기 금속층 위에 잔류한 식각 베리어를 제거하는 단계

를 포함하는 반도체 소자의 금속 배선 형성 방법.

【청구항 2】

제 1항에 있어서,

상기 금속층을 형성할 때에는 알루미늄을 4000~6000 Å 두께로 증착하는 반도체 소자의
금속 배선 형성 방법.

【청구항 3】

제 1항에 있어서,

상기 금속층 상에 상부 접착층을 형성하고, 상부 접착층 위에 상기 식각 베리어를 형성
하며,

상기 식각 베리어로 보호되지 않은 부위의 상부 접착층과 금속층 및 하부 접착층을 식각
하는 반도체 소자의 금속 배선 형성 방법.

【청구항 4】

제 3항에 있어서,

상기 상부 접착층과 금속층 및 하부 접착층을 식각할 때에는,

C_3F_8 1~200sccm, BCl_3 1~100sccm, Ar 1~100sccm 조건에서 상기 상부 접착층을 식각하는 초기 식각 단계;

C_3F_8 1~200sccm, NF_3 1~100sccm, N_2 1~100sccm 조건에서 상기 금속층을 식각하는 메인 식각 단계; 및

C_3F_8 1~200sccm, NF_3 1~100sccm, N_2 1~100sccm 조건에서 상기 하부 접착층을 식각하는 과식각 단계를 거쳐 진행하는 반도체 소자의 금속 배선 형성 방법.

【청구항 5】

제 4항에 있어서,

상기 초기 식각 단계를 진행할 때에는 공정 조건을 압력 12mT, 소스 파워 1200W, 바이어스 파워 130W, C_3F_8 60sccm, BCl_3 50sccm, Ar 30sccm으로 설정하는 반도체 소자의 금속 배선 형성 방법.

【청구항 6】

제 4항에 있어서,

상기 메인 식각 단계를 진행할 때에는 공정 조건을 압력 12mT, 소스 파워 1000W, 바이어스 파워 100W, C_3F_8 90sccm, NF_3 50sccm, N_2 10sccm으로 설정하는 반도체 소자의 금속 배선 형성 방법.

【청구항 7】

제 4항에 있어서,

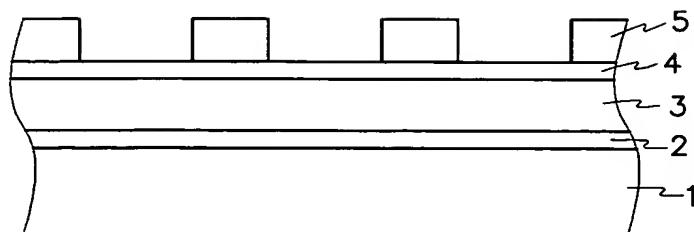
상기 과식각 단계를 진행할 때에는 공정 조건을 압력 12mT, 소스 파워 1000W, 바이어스 파워 80W, C_3F_8 80sccm, NF_3 50sccm, N_2 5sccm으로 설정하는 반도체 소자의 금속 배선 형성 방법.

2030006407

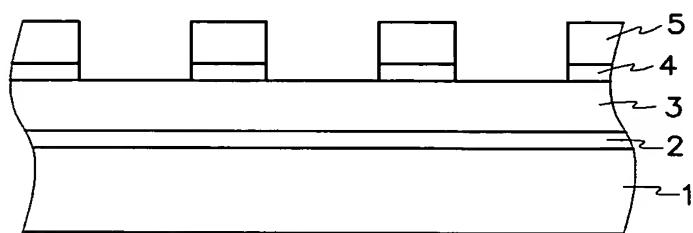
출력 일자: 2003/11/13

【도면】

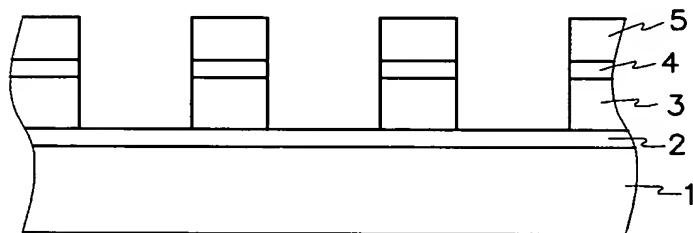
【도 1a】



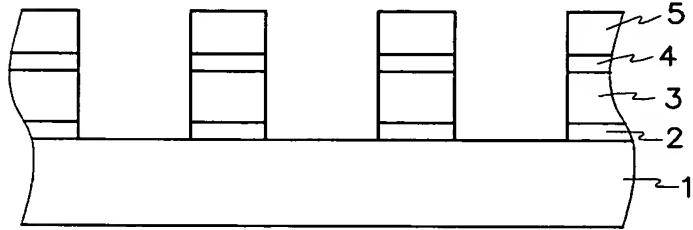
【도 1b】



【도 1c】



【도 1d】



【도 1e】

